

PAT-NO: JP406216191A

DOCUMENT-IDENTIFIER: JP 06216191 A

TITLE: FLIP CHIP BONDING METHOD

PUBN-DATE: August 5, 1994

INVENTOR-INFORMATION:

NAME

ATSUMI, KOICHIRO

MAEHARA, YOICHIRO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP05007510

APPL-DATE: January 20, 1993

INT-CL (IPC): H01L021/60

ABSTRACT:

PURPOSE: To provide a flip chip bonding method whereby the operation of a semiconductor chip can be confirmed before the completion of the assembly of a product.

CONSTITUTION: A flip chip bonding method comprising a first process for inner-lead-bonding an IC chip 1 which has bumps 2... to a TAB tape 3 which has inner leads 5..., a second process wherein the parts of the inner leads 5... which neighbor the IC chip 1 respectively are cut off respectively and the IC chip 1 is separated from the TAB tape 3 as the cut-off pieces 13... of the inner leads which are bonded to the bumps 2 respectively are attached to the IC chip 1 respectively, and a third process wherein the IC chip 1 is put on a board 16 and the cut-off pieces 13... of the inner leads are bonded respectively to electrodes 15... of the board 16 for the IC chip 1 to be subjected to a flip chip bonding.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J-P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216191

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵

H 0 1 L 21/60

識別記号

3 1 1 Q 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平5-7510

(22)出願日 平成5年(1993)1月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渥美 幸一郎

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72)発明者 前原 洋一郎

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

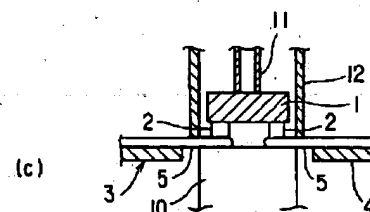
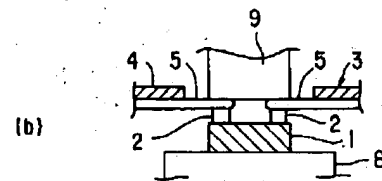
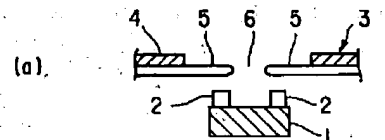
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 フリップチップボンディング方法

(57)【要約】

【目的】製品組立完了前に半導体チップを動作確認することが可能なフリップチップボンディング方法を提供することにある。

【構成】インナリード5…を有するTABテープ3にバンプ2…を有するICチップ1をインナリードボンディングする第1の工程と、インナリード5…のICチップ1の近傍に位置する部位を切断してICチップ1を、バンプ2…と接合されたインナリード切片13…を付けてTABテープ3から切離す第2の工程と、ICチップ1を基板16に載置しインナリード切片13…を基板16の電極15…に接合してICチップ1をフリップチップボンディングする第3の工程とを具備した。



【特許請求の範囲】

【請求項1】 インナリードを有するTABテープにバンパを有する半導体チップをインナリードボンディングする第1の工程と、上記インナリードの上記半導体チップの近傍に位置する部位を切断して上記半導体チップを、上記バンパと接合されたインナリード切片を付けて上記TABテープから切離す第2の工程と、上記半導体チップを実装基板に載置し上記インナリード切片を上記実装基板の電極に接合して上記半導体チップをフリップチップボンディングする第3の工程とを具備したフリップチップボンディング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば、ICチップ等の半導体チップをベア状態のまま基板に実装するフリップチップボンディング方法に関する。

【0002】

【従来の技術】一般に、ICチップ等の半導体チップを基板に実装する方法の1つとして、半導体チップをベア状態のまま直接基板に実装するフリップチップボンディング方法が知られている。

【0003】つまり、このフリップチップボンディング方法においては、半導体チップのAl電極上にバンパ（金属突起）が設けられ、このバンパが基板上の電極に接合される。さらに、素子が形成されたチップ表面は基板の電極面と対向する。そして、バンパの材料としてAu、Cu、或いは、はんだ等が採用され、基板電極の材料としてAl、ITO、Au、或いは、はんだ等が採用される。また、上述の各材料が他の種類の材料にコーティングされる場合もある。さらに、フリップチップボンディング方法の具体例を以下に説明する。

【0004】まず、半導体チップのAl電極に金属薄膜が、スパッタリングや蒸着等の方法により、2、3層形成される。そして、この金属薄膜の上にAuバンパ又はCuバンパが形成される。

【0005】基板の電極にははんだペーストが印刷される。さらに、半導体チップのバンパと基板の電極とが位置合せされ、半導体チップが基板に載置される。この後、半導体チップを載置した基板が炉に通され、基板の電極に供給されたはんだが溶融して、半導体チップが基板に実装される。

【0006】この他にAuバンパ、或いは、Cuバンパが形成された半導体チップを局部加熱し、接合部に供給されたはんだを溶かして半導体チップを実装する方法もある。

【0007】

【発明が解決しようとする課題】ところで、各種の半導体装置の製造の際には、半導体素子に通電して初期特性を検査する電気テストが行われる。そして、上述のフリップチップボンディング方法においては、半導体チップ

にバンパが形成されたのち、バンパに電気テスト用プローブが直に当接される。また、半導体装置の試験方法として、高温雰囲気中で電気テストを実施するバーンインテスト（動作試験）がある。

【0008】前述のような従来のフリップチップボンディング方法においては、バンパ形成直後の段階で電気テストにより不良チップを判別して排出することは可能であるが、完全に不良チップを除去することはできない。勿論、チップ単体で動作試験を行うことはできなかった。

【0009】そして、従来のフリップチップボンディング方法においては不良チップの混入を避けることが難しく、各種の製品に組込まれた後に行われるバーンインテストにおいて不良と判別される半導体チップが高い確率で存在していた。

【0010】したがって、半導体チップを基板に実装する前の段階において電気テスト及びバーンインテストすることが可能なフリップチップボンディング方法が望まれていた。また、動作確認の後に不良チップを取除き別の半導体チップを接合し直して半導体チップをリペアすることが可能なフリップチップボンディング方法が望まれていた。

【0011】本発明の目的とするところは、半導体チップを基板に実装する前に動作確認することが可能であるとともに、不良半導体チップを排除し、良品チップのみを接合可能なフリップチップボンディング方法を提供することにある。

【0012】

【課題を解決するための手段および作用】上記目的を達成するために本発明は、インナリードを有するTABテープにバンパを有する半導体チップをインナリードボンディングする第1の工程と、インナリードの半導体チップの近傍に位置する部位を切断して半導体チップを、バンパと接合されたインナリード切片を付けてTABテープから切離す第2の工程と、半導体チップを基板に載置しインナリード切片を基板の電極に接合して半導体チップをフリップチップボンディングする第3の工程とを具備したことにある。

【0013】こうすることによって本発明は、半導体チップを基板に実装する前に動作確認できるとともに、不良半導体チップを排除し、良品チップのみを接合できるようにしたことにある。

【0014】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

【0015】図1および図2は本発明の一実施例を示すもので、図1中の(a)～(c)、および、図2中の(d)～(e-1)はフリップチップボンディング方法の各工程を順に表している。

【0016】図1(a)中の符号1は半導体チップとし

てのICチップであり、このICチップ1の素子形成面には複数のバンパ2…(金属突起)が設けられている。バンパ2…は、ICチップ1に形成された各A1電極上に形成されており、例えば素子形成面の縁部に沿って配設されている。

【0017】さらに、このフリップチップボンディング方法においてはTABテープ3が利用される。このTABテープ3はTAB(Tape Automated Bonding)技術に用いられるものと同様のものである。そして、TABテープ3は絶縁性のフィルム4の表面に複数のインナリード5…を有する回路パターンを形成されており、インナリード5…の先端部をフィルム4に開口したチップ装着孔6の中央側へ向けて突出させている。

【0018】インナリード5…の先端部はICチップ1に突設されたバンパ2…と対応する位置関係にある。また、インナリード5…は、例えば図4に示すように矩形状に拡がるテストパッド7…を、その基端側に一体に形成されている。さらに、テストパッド7…はチップ装着孔6の外側に位置し、規則的に並んでいる。

【0019】まず、図1(a)に示すように、ICチップ1がTABテープ3に対向し、バンパ2…とインナリード5…の先端部とが位置合せされる。図1(b)に示すようにICチップ1はボンディングステージ8に載置されており、TABテープ3に下方から対向している。

【0020】加熱ツール9がTABテープ3に向って下降し、チップ装着孔6に入込んでインナリード5…の先端部に接する。そして、加熱ツール9がインナリード5…を加熱しながらICチップ1に向けて押圧し、互いに対応するインナリード5…とバンパ2…を一括に接合する。そして、ICチップ1がインナリードボンディングされ、ICチップ1付きのTABテープ3が形成される。

【0021】上述のようにICチップ1がTABテープ3に装着されたのち、各インナリード5…のテストパッド7…に電気テスト用プローブが当てられる。そして、ICチップ1の電気テストが行われてICチップ1の初期特性が調べられ、良品・不良品が判別される。また、ICチップ1をバーンインテストしてICチップ1の動作確認を行うことも可能である。

【0022】つぎに、良品であると判別されたICチップ1が、図1(c)に示すよう打抜かれ、図2(d)に示すようにTABテープ3から切離される。この際、ICチップ1はTABテープ3に装着されたままダイ10の上に載せられるとともに、吸着ノズル11の先端に吸着されている。そして、上記ダイ10と、吸着ノズル11を同軸的に覆った中空なボンチ12とが組合わせられ、ボンチ12がICチップ1を覆い隠しながらインナリード5…を切断する。

【0023】ICチップ1の切離しはICチップ1の周辺に沿って行われ、切断位置はICチップ1の近傍の部

位に設定される。そして、インナリード5…は先端部を切断され、ICチップ1と一体にTABテープ3から切離される。以下では、インナリード5…のICチップ1とともに切離された部分をインナリード切片13…と称する。

【0024】図2(d)に示すようにインナリード切片13…は、ICチップ1の側方へ幾分突出している。さらに、インナリード切片13…の突出量は切離し時の切断位置により決まる。そして、切断位置がICチップ1に近ければインナリード切片13…の突出量は小となり、遠ければ突出量は大となる。

【0025】ボンチ12がダイ10から離れ、TABテープ3から切離されたICチップ1が吸着ノズル11により吸着されたまま搬送される。図2(e-1)に示すようにICチップ1は、回路パターン14とICチップ実装用の電極15…が形成された基板16の上方に達する。基板16の電極15…には、予めはんだペーストが塗布されている。

【0026】ICチップ1のインナリード切片13…と基板16の電極15…とが位置合せされたのち、ICチップ1が基板16に載置される。そして、ICチップ1が、はんだペーストを介して基板16に仮固定される。

【0027】ICチップ1を載置した基板16が、図2(e-1)に示すように加熱炉に通され、はんだ17が溶かされて、インナリード切片13…が基板16の電極15…にはんだ付けされる。

【0028】この他に、例えば図3(e-2)に示すように、加熱ツール18によりICチップ1を局部加熱してインナリード切片13…を電極15…にはんだ付けしてもよい。いずれにしても、バンパに接続されたリード切片13がバンパ直下部で電極15に接続されていることが重要である。

【0029】上述のようなフリップチップボンディング方法においては、ICチップ1をTABテープ3にインナリードボンディングしたのち、TABテープ3上に形成されたテストパッド7…を介してICチップ1を電気テスト或いはバーンインテストすることが可能である。そして、インナリードボンディングの後に良品・不良品を判別することができ、良品のみをTABテープ3から切離して基板14に実装することが可能である。

【0030】したがって、ICチップ1を基板に実装する以前にICチップ1を動作確認することができる。そして、製品組込後に不良チップが判別されて製品が無駄になるということがない。

【0031】また、従来のフリップチップボンディング方法においては不良チップを取除く作業、即ちリペア作業を行うことが困難だったが、上述のフリップチップボンディング方法においては、不良チップを基板に接続する前に判別できるので、ICチップの不良に起因するリペア作業が殆ど不要になる。

5

【0032】なお、上述の実施例においては、ベア状態のICチップ1が基板14に実装されているが、例えば図5及び図6に示すように、ICチップ1がインナリード切片13…の一部を露出させた状態で樹脂モールドされている場合にも、本発明を適用することが可能である。

【0033】つまり、図5および図6において符号21は半導体装置を示している。この半導体装置21は、インナリード切片13…をバンパ2…に接合しており、パッケージ22によって半導体チップ1を覆っている。そして、半導体装置21は、インナリード切片13…の一部をパッケージ22から露出させており、図6に示すように、このインナリード切片13…を介して回路基板16の基板電極15…にはんだ付けされている。

【0034】

【発明の効果】以上説明したように本発明は、インナリードを有するTABテープにバンパを有する半導体チップをインナリードボンディングする第1の工程と、インナリードの半導体チップの近傍に位置する部位を切断して半導体チップを、バンパと接合されたインナリード切片を付けてTABテープから切離す第2の工程と、半導

6

体チップを基板に載置しインナリード切片を基板の電極に接合して半導体チップをフリップチップボンディングする第3の工程とを備えた。したがって本発明は、半導体チップを基板に実装する前に動作確認できるとともに、不良半導体チップを排除し、良品のみを接合できるという効果がある。

【図面の簡単な説明】

【図1】。(a)～(c)は本発明の一実施例の各工程を順に示す説明図。

【図2】図1に続く各工程を順に示す説明図。

【図3】加熱ツールを用いたはんだ付けの工程を示す説明図。

【図4】テストパッドの一例を示す平面図。

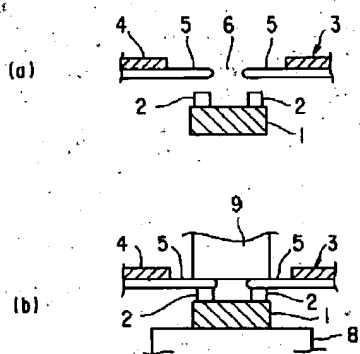
【図5】樹脂モールドされたICチップを示す断面図。

【図6】図5中のICチップが実装された状態を示す断面図。

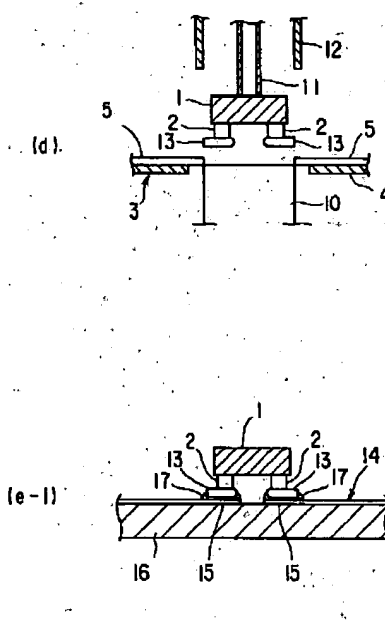
【符号の説明】

1…ICチップ（半導体チップ）、2…バンパ、3…TABテープ、5…インナリード、13…インナリード切片、15…電極、16…基板。

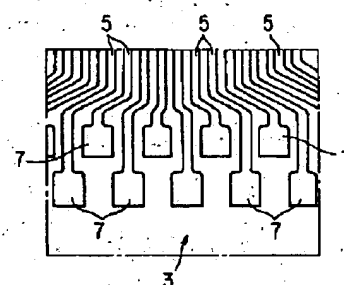
【図1】



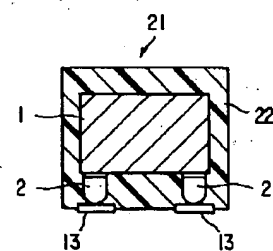
【図2】



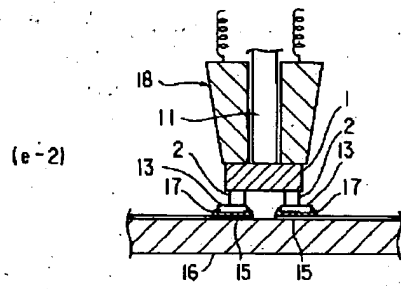
【図4】



【図5】



【図3】



【図6】

